

High speed active overvoltage detection and protection for overvoltage sensitive circuits

Patent Number: ☐ US5479119
 Publication date: 1995-12-26
 Inventor(s): TICE THOMAS E (US); CROOK DAVID T (US); KATTMANN KEVIN M (US); LANE CHARLES D (US)
 Applicant(s): ANALOG DEVICES INC (US)
 Requested Patent: JP9510790T
 Application Number: US19940344452 19941123
 Priority Number(s): US19940344452 19941123
 IPC Classification: H03K5/153
 EC Classification: H03F1/52, H03G11/00
 Equivalents: AU4141196, ☐ EP0740860 (WO9616476), A4, ☐ WO9616476

Abstract

An overvoltage protection circuit protects against saturation and damage of sensitive circuitry elements. The protection circuit includes an out-of-range detector which compares an input signal to reference levels to determine if it is within a predetermined range of acceptable inputs. If the input is determined not to be within this range, a control circuit substitutes a supplemental signal within the range for the input signal. Digital correction can be provided to correct the output of the sensitive circuit element while the supplemental signal is being substituted. Numerous circuit designs may be used to implement the protection scheme.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-510790

(43) 公表日 平成9年(1997)10月28日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	
G 0 1 R 19/00		8803-2G	G 0 1 R 19/00	H
19/165		8803-2G	19/165	L
H 0 2 H 7/20		7926-5G	H 0 2 H 7/20	Z
H 0 3 M 1/12		9065-5K	H 0 3 M 1/12	A

審査請求 未請求 予備審査請求 未請求(全 23 頁)

(21) 出願番号 特願平8-516889
 (86) (22) 出願日 平成7年(1995)11月1日
 (85) 翻訳文提出日 平成8年(1996)7月23日
 (86) 国際出願番号 PCT/US95/14158
 (87) 国際公開番号 WO96/16476
 (87) 国際公開日 平成8年(1996)5月30日
 (31) 優先権主張番号 08/344, 452
 (32) 優先日 1994年11月23日
 (33) 優先権主張国 米国 (US)

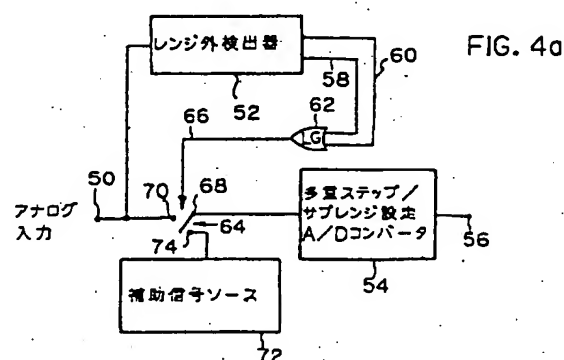
(71) 出願人 アナログ デバイセス インコーポレーテッド
 アメリカ合衆国02062 マサチューセッツ州 ノーウッド ワン テクノロジー ウェイ (番地の表示なし)
 (72) 発明者 タイス, トーマス・イー
 アメリカ合衆国ノース・カロライナ州 27410, グリーンズボロ, クロスティンバース・ドライブ 3711
 (74) 代理人 弁理士 湯浅 恭三 (外6名)

最終頁に続く

(54) 【発明の名称】 過大電圧の高速検出および保護回路

(57) 【要約】

過大電圧保護回路が、感応回路要素の飽和および破壊から保護する。保護回路は、入力信号を基準レベルと比較して受入れ得る入力の前め定めたレンジ内にあるかどうかを判定するレンジ外検出器52を含む。入力が当該レンジ内ないと判定されるならば、制御回路62、64が、入力信号に対するレンジ内の補助信号を置換する。補助信号が置換されつつある間、感応回路要素の出力を訂正するためデジタル訂正を提供することができる。当該保護方式を実現するため、多くの回路設計が使用できる。



【特許請求の範囲】

1. 予め定めた信号レンジ外の入力信号から感応回路要素を保護する過大電圧保護回路において、

前記要素に対する入力信号がレンジ外にあるかどうかを決定するレンジ外信号検出器 5 2 と、

前記レンジ内の補助信号を提供する補助信号ソース 7 2 と、

前記入力信号が前記レンジ外になる時、前記レンジ外信号検出器に応答して、前記要素に対する入力として前記補助信号を置換する制御回路 6 2、6 4 とを備える過大電圧保護回路。

2. 前記補助信号ソースが、前記補助信号を前記信号レンジ内の中間信号として提供する請求の範囲第 1 項記載の過大電圧保護回路。

3. 前記補助信号ソースが、前記レンジ内の複数の補助信号を提供し、前記入力信号が前記レンジ外になる時、前記制御回路が前記レンジ外信号検出器に応答して前記補助信号の選択された 1 つを置換する請求の範囲第 1 項記載の過大電圧保護回路。

4. 前記補助信号ソースが 1 つの補助信号を前記信号レンジ内の高い信号として提供し、別の補助信号を前記信号レンジ内の低い信号として提供する請求の範囲第 3 項記載の過大電圧保護回路。

5. 差の入力信号を受取る感応回路要素 5 4 に対して、前記入力信号が前記レンジ外になる時、前記制御回路が、前記差の信号を短絡して該短絡信号を前記要素に対する入力として置換することにより、前記レンジ外信号検出器に応答する請求の範囲第 1 項記載の過大電圧保護回路。

6. 前記感応回路要素がデジタル出力を提供し、前記保護回路は更に、前記レンジ外信号検出器に応答して、感応回路要素のデジタル出力を訂正するように接続されるデジタル訂正回路要素 1 0 4 を含む請求の範囲第 1 項、第 2 項、第 3 項、第 4 項または第 5 項に記載の過大電圧保護回路。

7. 感応回路要素を、予め定めたレンジ外の入力信号から保護する方法において

入力信号が前記レンジ外にあるかどうかを判定するステップと、

前記入力信号が前記レンジ外にあることの判定に応答して、該入力信号を前記要素から遮断し、前記レンジ内の補助信号を提供するステップとを含む方法。

8. 前記感応回路要素がデジタル出力を提供し、前記レンジ外の判定に応答して、前記感応回路要素のデジタル出力を訂正するステップを更に含む請求の範囲第7項記載の方法。

【発明の詳細な説明】

過大電圧の高速検出および保護回路

発明の背景発明の分野

本発明は、高速多重段／サブレンジ設定用アナログ／デジタル・コンバータ (high speed multistep/subranging analog to digital converter) の如き過大電圧感応回路素子 (overvoltage sensitive circuit element) により使用される過大電圧検出および保護に関する。

関連技術の記述

アナログ／デジタル (A/D) ・コンバータは、アナログ波形を一連のデジタル・ワードへ変換するため設計された装置である。このような装置の入力は、一般に連続的に変化する電圧信号であり、出力はデジタル出力 (1と0) を表わす多重ビット段電圧信号である。A/Dコンバータ内部では、入力信号が周期的な時間間隔 (サンプリング速度) で多数の基準電圧と比較される。これらの比較は、入力電圧が一連の基準レベルより大きいあるいは小さいかを測定し、これにより合計として変動入力の状態を近似的に記述する出力を生じる。連続的であるアナログ入力とは異なり、前記比較は、特徴的に量子化され、従って、連続的な基準電圧レベル間の間隔の大きさと対応する有限な分解能 (resolution) を持つ。

アナログ／デジタル変換における1つの問題は、変換プロセスが有限量の時間を要することであり、サンプリング・サイクルを高周波入力を許容するよう任意に短く設定することができないことを意味する。1秒より多いもの (毎秒1回より少ないサンプリング) から2ナノ秒より少ないものまでの範囲の変換時間で多くの異なるタイプのコンバータがある。A/Dコンバータに対する異なる材料および設計が異なる動作速度に最もよく適し、特定の用途が使用される形式のコンバータを典型的に規定する。幾つかの異なる設計が、Grebeneの「バイ

ポーラおよびMOSアナログ集積回路設計 (Bipolar and MOS

Analog Integrated Circuit Design) J (John Wiley & Sons, 1984年、835～866ページ)に記載されている。並列または同時型のA/Dコンバータは、一般に最速設計の一部であると見なされている。これらは、(変動する基準電圧を持つ同じコンパレータを反復的に用いること、あるいは多数のコンパレータを直列に用いることとは対照的に) 各量子化ステップに対して並列に別個のコンパレータを使用する。並列なアナログ/ディジタル変換は、全変換動作を1つのステップで完了することができ、このためフラッシュ変換(flash conversion)と呼ばれる。図1は、Nビットのフラッシュ・コンバータの基本的設計を示す。

図1に示されるフラッシュA/Dコンバータにおいては、アナログ入力端子2に与えられ、一連のコンパレータ4の可変入力へ送られる(Nビットのフラッシュ・コンパレータには $(2^N - 1)$ 個のコンパレータがある)。基準電圧は、一連の抵抗6の両端で正の V_{ref} 端子8から負の V_{ref} 端子10まで維持される。これらの抵抗6は、コンパレータ4の基準入力へ印加される段階的な間隔(step interval)の基準電圧を与える。コンパレータ4は、それらの基準値および可変値の入力信号を端子12で印加されるサンプリング信号により決定される時間間隔で比較する。 $(2^N - 1)$ 個のコンパレータの出力が復号論理サブ回路(decode logic subcircuit)14によって組合わされて、Nビットのディジタル・ワードを生じる。

面積および電力の要件における最小限の増加でコンバータの分解能を増すため、多数のフラッシュ・コンバータを組合わせることができる。1つのこのような組立体が多重ステップ/サブレンジ設定コンバータである。図2に示される従来の多重ステップ/サブレンジ設定コンバータは、変換プロセスを2つのステップへ分ける。アナログ入力、入力端子16に与えられ、追跡および保持要素(track and hold element)18へ送られる。この追跡および保持出力は、加算増幅器20と第1のフラッシュ・コンバータ22の入力の両方へ送られる。フラッシュ・コンバータ22は、ディジタル出力ワードの最初のビット(この場合、4ビット)を形成する出力を生じる。この出力は、ディジタル／

アナログ (D/A) ・コンバータ 24 へ送られ、このコンバータがそれを再びアナログ信号へ変換する。D/A コンバータ 24 のアナログ信号出力が加算増幅器 20 へ送られ、この増幅器がそれを元の入力と比較して、最初の変換によって解明されなかった入力情報の更なる詳細を含む残留信号を生じる。この残留信号は次に、より微小な量子化のため第 2 のフラッシュ・コンバータ 26 へ送られる。第 2 のフラッシュ・コンバータ 26 の出力は、ディジタル出力ワードの 2 番目の半分である。しかし、残留信号が第 2 のフラッシュ・コンバータ 26 の電圧範囲に正確に妥当しなければ、このコンバータはなくなったコード結果を適正に機能することができない。残留信号は、しばしば増幅される。残留信号の増幅は、第 2 のコンバータの有効感度を過大電圧信号へ増大する。

多くの最速 A/D コンバータは、その高速能力をもとめてバイポーラ接合トランジスタ (BJT) を用いる。BJT が過大電圧を受ける時、このトランジスタはその線形動作レンジから飽和へ駆動される。このため、フラッシュ・コンバータ 22 および 26 は、過大電圧を特に受けやすい。過大電圧がゆるやかなものであったとしても、その線形動作レンジから飽和状態へ駆動された BJT は、回復するのに時間がかかる。この回復時間は、特に過大電圧の大きさに依存するが、しばしば変換サイクルの数倍以上である。極端な過大電圧は、コンバータを恒久的に破壊し得る。飽和状態にある間、コードの逸失または不正がしばしば生じる。

従来技術においては、このような過大電圧問題は、入力ダイオードのクランプ、例えばショットキー・ダイオードで対処されてきた。従来の過大電圧の保護設計の一例は、図 3 a に示される。1 対のダイオード 28 および 30 は、それぞれそれらのアノードおよびカソードが A/D コンバータ 34 のアナログ入力端子 32 に接続されている。ダイオード 28 および 30 の反対の終端は、それぞれ接地および負電圧 V_{ref} として示される異なる電圧基準 36 および 38 に接続されている。この異なる電圧基準は一緒に、A/D コンバータへ送られる入力信号のレンジの限度を規定する。入力信号がダイオード (越えられたレンジ限度と対応するダイオード) の規定されたレンジにない時、回路をクランプする。

理想的な回路では、ダイオードのクランプ電圧を所望の入力レンジの極限に正

確に等しく設定することが可能である。しかし、実際には、ダイオードは任意に

狭い電圧レンジ内で急激に開路状態から（回路をクランプする）通電状態へ切替わることができない。図 3 b は、意図された入力電圧 V_{in} の関数として A/D コンバータ 34 の入力へ印加される電圧 V_{ADC} を制御する際に、0.6 ボルトの順方向バイアスの破壊電圧を有する典型的な 1 対のダイオード 28 および 30 の動作を示す。3 つの異なるタイプの応答が明らかである。即ち、（1）充分に通電レンジの限度内の入力電圧と対応する領域 40 における線形の通電、（2）充分に通電レンジの限度を越える入力電圧と対応する領域 42 および 44 における定常の安全クランプ動作、および（3）通電レンジの限度付近（ダイオードの 1 つのクランプ電圧付近）の入力電圧と対応する領域 46 および 48 における非線形応答である。通電状態の過渡への急激な開路によらなければ、クランプ・レベルの選択は、BJT を飽和する過大電圧から保護することと、線形動作を保持することとの間のかね合いを含む。入力電圧が BJT を飽和するレベルに達する前に安全にクランプするクランプ・レベルを選択することが、入力電圧が受入れ得る入力の極値を歪める非線形性を結果として生じる。反対に、線形動作を完全に保証するクランプ電圧は、ダイオードに BJT を飽和するのに必要な電圧を越える順方向の電圧降下を促す。

線形性を保持することは、通常はこの上なく重要なことである。線形動作レンジから逸脱すると、コンバータのデジタル出力を入力信号から変化させる。更にまた、BJT が線形レンジへ戻る時、これは極限の電圧レベルから必然的に外れ、これが更に理想的な応答を遅らせ、誤った出力の持続時間を増大する。このように、かね合いの結果は、典型的にトランジスタの飽和の犠牲において線形性を保存することである。

発明の概要

本発明は、レンジ外の入力信号を検出して、高速多重ステップ/サブレンジ設定 A/D コンバータにおいて用いられる如き感応回路要素におけるこのような信号によって生じる飽和および過大電圧の破壊を阻止する新規な回路および方法を提供することを目的とする。本発明は更に、かかる感応要素に対して、レンジ外

の条件の持続時間に対する入力となる補助信号を与えることを目的とする。

これらの目的は、入力信号が予め定めた受入れ得るレンジ内にあるかどうかを

判定する能動型過大電圧入力信号検出器と、予め定めたレンジ内の信号を生じる補助信号ソースと、入力信号が受入れ得るレンジ外にあることを判定する検出器に応答して感応回路要素に対する入力としてレンジ外信号に対する補助信号を置換する制御回路とによって達成される。望ましい実施例においては、前記制御回路は、検出器の判定に応答する論理ゲートと、レンジ外の信号に対する補助信号を置換する制御スイッチとを含む。別の望ましい実施例においては、検出器の判定に応答して感応要素の出力を訂正する出力の訂正が含まれる。

多くの層のこの種の保護回路を用いて、入力バッファと、多数のフラッシュ・コンバータと、信号処理要素と、多数の破損しやすい入力信号検出器を持つ同じタイプの他の保護回路とを個々に保護する。

本発明の上記および他の特徴および利点については、当業者には、以降の詳細な記述を添付図面に関して読めば明らかになるであろう。

図面の簡単な説明

図1は、N-ビットの並列A/Dコンバータのブロック図、

図2は、従来の8ビットのサブレンジ設定A/Dコンバータのブロック図、

図3 aは、受動クランプ型の過大電圧保護回路のブロック図、および図3 bは図3 aに示されたタイプの回路関係で1対のクランプ・ダイオードの出力電圧プロット、

図4 aは、本発明の原理による過大電圧保護回路のブロック図、および図4 bは、図4 aに示されたレンジ外の過大電圧検出器の概略図、

図5は、図4 aの過大電圧保護回路の別の実施例のブロック図、

図6 aは、図4 aの過大電圧保護回路の別の実施例を示すブロック図、および図6 bは、図6 aに示されたデジタル訂正回路の概略図、

図7 aは、本発明の別の特質を示す過大電圧保護回路のブロック図、および図7 bは、図7 aに示された追跡および保持要素の概略図、

図8 aは、図4 aおよび図7 aに示された実施例による2段の過大電圧検出回

路のブロック図、および図 8 b は、図 8 a に示されたバッファ回路の概略図である。

発明の詳細な記述

本発明は本文では多重ステップ／サブレンジ設定 A/D コンバータに関して記述するが、本発明は他の過大電圧感応回路要素の保護にも適用し得る。従って、特定の過大電圧感応回路要素の記述は、本発明の広い範囲内の特定実施例の例示として理解すべきであり、かかる広い範囲の限定と見なすべきではない。同様な要素は同じ番号が示す。

図 4 a は、過大電圧が感応回路要素を飽和し、破壊しあるいは遅延し得る前に（単数または複数の）回路要素から過大電圧入力信号を先制して切り離すことである本発明によって行われる過大電圧の検出と回路の保護に対する基本的な試みを示す。アナログ入力信号が回路に対して入力端子 5 0 で与えられる。レンジ外の過大電圧検出器 5 2 が、前記入力信号を受取って、これが（バイポーラ接合トランジスタを使用する多重ステップ／サブレンジ設定 A/D コンバータの如き）特定のサブ回路要素 5 4、または出力端子 5 6 外で接続される他の要素の動作電圧レンジ外であるかどうか判定する。

検出器 5 2 の出力は、2 つの検出器出力信号線 5 8 および 6 0 により制御回路へ送られる。この実施例の制御回路は、（OR ゲートである）論理原理 6 2 と、スイッチ 6 4 とを含む。論理原理 6 2 は、検出器 5 2 の出力に応答して、線 6 6 でスイッチ 6 4（これら実施例において使用されるタイプのスイッチは、Allen 等の「CMOS アナログ回路設計（CMOS Analog Circuit Design）」（198～204 ページ）に記載される）へ送られる信号を生じる。スイッチ 6 4 の固定端子 6 8 は、過大電圧感応サブ回路要素 5 4 に対する直接入力として接続され、この要素は多重ステップ／サブレンジ設定 A/D コンバータとして図示される。検出器 5 2 が入力信号が適切なレンジ内にあることを判定すると、この検出器はスイッチ 6 4 を入力端子 5 0 に結合された端子 7 0 に接続させ、これにより過大電圧感応サブ回路要素 5 4 に対する真のアナログ入力を与える。入力信号が入力における過大電圧の検出などにより検出器 5 2

によってレンジ外にあると判定されるならば、論理ゲート62を誘導して出力を生じる検出器52によって信号が送られ、この出力がスイッチをしてサブ回路要素54を真のアナログ入力から遮断させ、その代わりこれを補助信号端子74における補助信号ソース72（望ましい実施例では、電圧発生器）の出力に接続さ

せる。補助信号ソース72は、入力過大電圧条件の期間中サブ回路要素54に対して受入れ得る入力信号電圧を維持する。望ましい実施例においては、補助信号ソースが、真のアナログ入力端子50から一旦遮断されると、サブ回路要素54が動作し続ける中間電圧の信号を与える。この中間信号は、受入れ得る入力のレンジの中間付近の電圧を特徴とする。多重ステップ／サブレンジ設定A/Dコンバータが感応回路要素である望ましい実施例においては、受入れ得る入力信号レンジは、3ないし4ボルトであり、中間レンジは3.5ボルトである。サブ回路要素54の出力は、出力端子56へ与えられる。

入力信号が動作電圧レンジから外れるかどうかの判定は、レンジ外検出器52内部のコンパレータによって行われ、このコンパレータは高い通常モードの入力レンジと過大電圧回復問題のない入力を有する。この種のコンパレータは、バイポーラまたは金属酸化膜半導体電界効果トランジスタ（MOSFET）の如き異なるトランジスタ・タイプで設計することができる。図4bは、レンジ外検出器52の1つの可能な形態の構成要素および機能を示している。

図4bにおいて、端子76におけるアナログ入力は、コンパレータ78および80の可変入力へ送られる。このコンパレータは、入力信号を予め定めた基準電圧レベルと比較して、信号が受入れ得るレンジを越えるかどうかを決定する。1つのコンパレータ78は、信号がレンジの上限を越えるかどうかを判定し、他のコンパレータ80は信号が下限を越えるかどうか判定する。コンパレータ78および80に対する基準電圧は、一連の電圧分割抵抗84により基準レベルを設定する電圧ソース82などによって多くの方法で供給することができる。コンパレータが高い共通モードの入力レンジで設計されるので、これらコンパレータは比較的過大電圧回復問題がない。

図5は、本発明の別の特質を示し、図4aに示された実施例の補助信号ソース

と制御回路の変更例を含む。アナログ電圧入力が入力端子50で回路により受取られ、検出器52によりレンジ内にあるかあるいはレンジ外かが判定され、レンジ外であるならば、(図4bに関して述べた方法で)電圧が受入れ得るレンジより高いか低いかが判定される。検出器52により行われた判定は、2重の検出器出力信号線58、60により制御回路へ送られる。当該実施例の制御回路は、スイッチ

チ64および88を制御するORゲート論理素子62および102をそれぞれ含んでいる。図4aに示された実施例におけるように、スイッチ64の固定端子68は、過大電圧感応サブ回路要素54に対する直接入力として接続される。

入力信号が過大電圧感応サブ回路要素54(多重ステップ/サブレンジ設定A/Dコンバータの如き)に対する受入れ得る電圧レンジ内にあるならば、ORゲート62からの信号はスイッチ64に要素54を入力端子70における真のアナログ入力信号に接続させる。この入力信号がレンジ外であるならば、ORゲート62は、スイッチ64にサブ回路要素54を真の入力から遮断させて、その代わりにこれを他のスイッチ88の固定端子92に接続される端子90に接続させる。このスイッチ88は、別の補助信号ソース98および100にそれぞれ接続される端子94または端子96のいずれかに接続可能である。同様に検出器52の出力に応答するORゲート102は、どの信号ソースがスイッチ88によりスイッチ端子92に接続されるかの判定を制御する。検出器52が入力信号が受入れ得る電圧の下限を越えると判定するならば、ORゲート102が、スイッチ88をして補助信号ソース100に接続させ、これはサブ回路要素54に対する受入れ得る入力の下限における電圧入力である。入力電圧が受入れ得る電圧の上限を越えると判定されるならば、受入れ得る入力の上限である電圧入力を提供する補助信号ソース98がその代わりに接続される。受入れ得る入力信号レンジの上限および下限の電圧限度における入力を提供する別の補助信号ソースを含む目的は、人為的な入力信号を、図4aの中間入力レベルよりも更にアナログ入力の真の状態を表わす過大電圧感応サブ回路へ与えることである。

図6aは、図4aに似ているが出力デジタル訂正回路104をも含む本発明

の一実施例を示している。代替的な高低の電圧信号ソース 98 および 100 の使用によりコンバータ出力を訂正しようと試みる図 5 とは対照的に、図 6 a の回路は、出力デジタル訂正回路 104 による出力の訂正を行う。

図 5 のレンジ外検出器 52 におけるように、線 58 および 60 上で送られる検出器出力は、受入れ得る電圧入力レンジのどの極限值が過大電圧により越えられたかについての情報を含んでいる。出力デジタル訂正回路 104 は線 58 に接続され、これから入力信号情報を受取って、接続線 106 を介して受取る要素 54 の出力信号を訂正する。

図 6 b は、1 つの可能なデジタル訂正回路の構成要素および機能を示している。訂正を必要とするデジタル出力ワードが、訂正回路 104 に対して、各々が 1 ビットのデジタル・ワードを受取る端子 108 に送られる。これらビットは OR ゲート 110 のアレイへ送られ、このアレイは訂正信号を与えられるとビットを変更する。訂正信号は、オーバーライド・ゼロ発生器要素 (override zero generator element) 112 によって与えられる。この発生器要素 112 は、線 58 および 60 から検出器出力を受取る別の OR ゲートと、検出器出力に従ってオーバーライド・デジタル信号を OR ゲートのアレイへ選択的に送るデジタル信号発生器とを含む。

図 7 a は過大電圧保護方式の別の変更例を示し、これにおいては差の入力信号 (真の信号と、その反転対) が入力端子 50 および 51 で与えられる。この差の入力信号は、過大電圧破壊に対して感度の少ないサブ回路要素 114 へ直接与えられる。図 7 a において、サブ回路要素 114 は追跡および保持回路である。

追跡および保持要素 114 は差の出力線 116 および 118 を有し、後者の線は入力を感じ応サブ回路要素 54 へ与える。差の入力信号はまた、レンジ外検出器 52 に接続される。検出器 52 の出力は、線 58 および 60 上を OR ゲート論理要素 120 を含む制御回路へ送られ、この制御回路が固定端子 124 を含むスイッチ 122 を制御する。検出器が過大電圧を検出しない時は、スイッチ 122 が開路状態のままであり、感応サブ回路要素 54 が出力線 118 からスイッチ端子 124 を介してサブ回路要素 114 の出力を受取る。過大電圧が検出器 52 によ

って検出されるならば、スイッチ122が、(スイッチ端子124と126に跨がって)サブ回路要素114の差の出力116および118を短絡する。差の出力を短絡することによって中間信号が生成され、これがサブ回路要素54に与えられる。この中間信号が要素54を過大電圧から保護する。過大電圧条件にわたって出力端子56におけるコンバータからの適切なデジタル出力を保証するため、デジタル訂正要素104が設けられ、これは図6aおよび図6bの要素104と同じ方法で検出器出力信号線58および60によって操作される。図7aの回路もまた、サブ回路要素114の出力が差である限り(これにより、

中間信号を生じるように短絡可能である)、差のアナログ入力とは対照的にシングル・エンデッド(single ended; 非平衡終端)に適用し得る。

図7bは、1つの可能な追跡および保持回路の構成要素と機能を示している。1対の追跡スイッチ128および130が、各保持コンデンサ132および134に対する、また各出力線116および118に対する端子50および51において差の入力を接続する。端子136において誘導された追跡クロック信号が、規則的なパターンで同期して開閉するようにスイッチ128および130を制御する。スイッチが開路されると、真の入力が回路を介して出力線116および118へ送られ、保持コンデンサ132および134の電圧レベルが差の信号入力を追跡する。追跡クロック信号がスイッチ128および130を開路させると、充電された保持コンデンサは、各線の電圧レベルがスイッチの開路の直前にある時、その電圧レベルを維持する。図7aに示された短絡スイッチ122の開路はコンデンサ132および134を接続して、この接合点に中間信号を生じる。

1つ以上の過大電圧感応要素を含む回路に対して、多くの保護回路を用いることができる。特定の用途に応じて、同じタイプの保護回路を各感応要素に対して用いることができ、あるいは異なる保護方式を異なる要素に対して用いることができる。例えば、図8aは、それぞれ図4aおよび図7aに示された保護回路のタイプにより保護される2つの過大電圧感応サブ回路要素54および55を含む回路を示す。この回路における要素55は、単線の入力と差の出力とを持つ回路バッファ(図8bに示される)である。

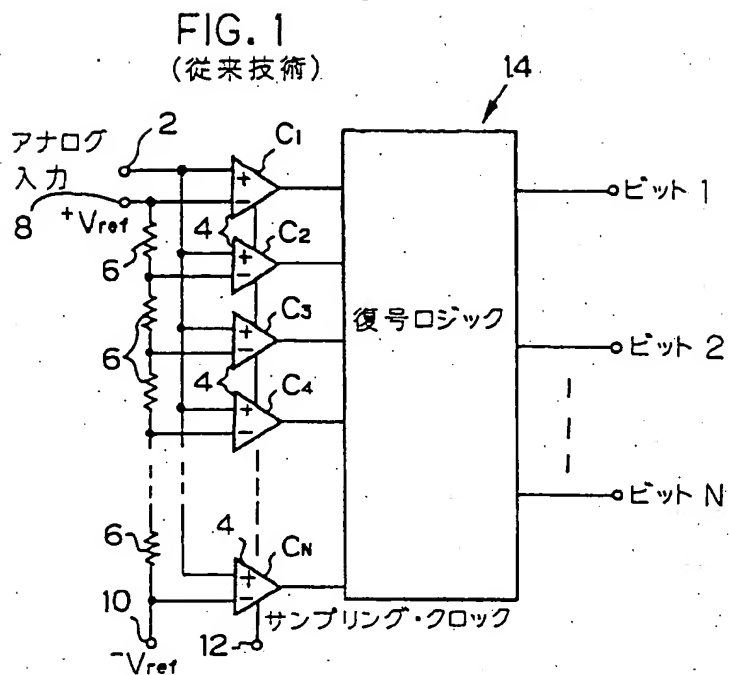
要素 5 5 からの差の出力信号線 1 3 8 および 1 4 0 で始まる回路の第 2 段は、図 7 a に関して述べた実施例の入力線 5 0 および 5 1 と同じものであり、要素 5 4 に対して第 2 の（および、潜在的に異なる電圧レンジの）保護を提供する。図 7 a の場合におけるように、要素 5 5 の出力（回路の第 2 段に対する入力となる）が差であるか、あるいは要素 1 1 4 の出力が差である限り、それらの間には関連する相違はない。

図 8 b は、差の出力を生じる 1 つの可能なバッファ回路要素の構成要素と機能を示している。アナログ入力（図 4 a に示されるように、固定端子 6 8 または他の適切な入力信号ソースに接続される）

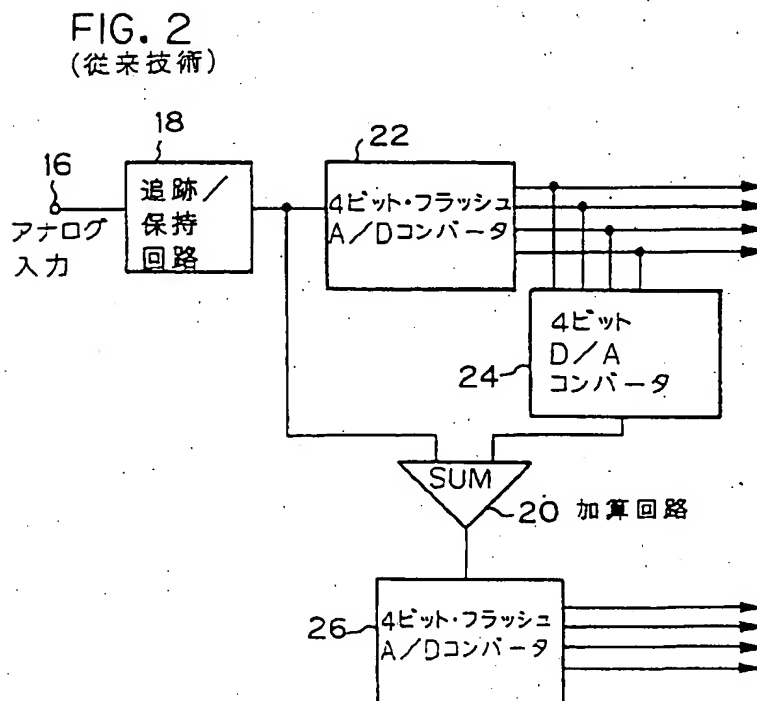
で受取られる。この入力端子 1 4 2 は、トランジスタ 1 4 4 のベースに接続される。中間電圧が第 2 のトランジスタ 1 4 6 のベースに印加される。トランジスタ 1 4 4 および 1 4 6 のコレクタは、それぞれ抵抗 1 4 8 および 1 5 0 に接続され、そのエミッタは抵抗 1 5 2 に跨がって相互に接続されている。電流ソース 1 5 4 および 1 5 6 が各トランジスタに流れる電流を調整する。トランジスタ 1 4 4 のベースにおけるアナログ信号が第 2 のトランジスタ 1 4 6 のベースに印加された中間電圧と異なる時、電流は抵抗 1 5 2 に流れ始める。抵抗 1 5 2 に流れる電流は、定常電流ソース 1 5 4 に加算しあるいはこれから減算して、定常電流ソース 1 5 6 に対して反対のことを行い、これにより（等しい値の抵抗を仮定して）抵抗 1 4 8 に生じる電圧を一方向に移動させ、抵抗 1 5 0 に生じる電圧は同じ大きさだけ反対方向に移動する。このように、差の電圧信号がトランジスタ対のコレクタ間に生成され、線 1 3 8 および 1 4 0 に沿って送られる。

本発明の特定の実施例を示し記述したが、当業者には多くの変更例および代替例が着想されよう。従って、本発明は請求の範囲に関してのみ限定されるものとする。

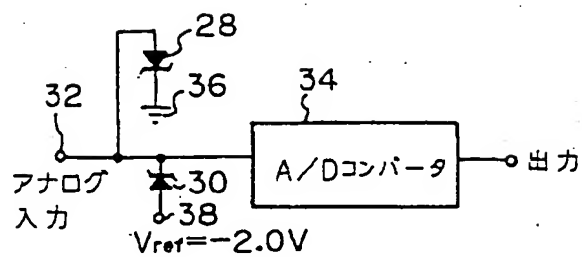
【図1】



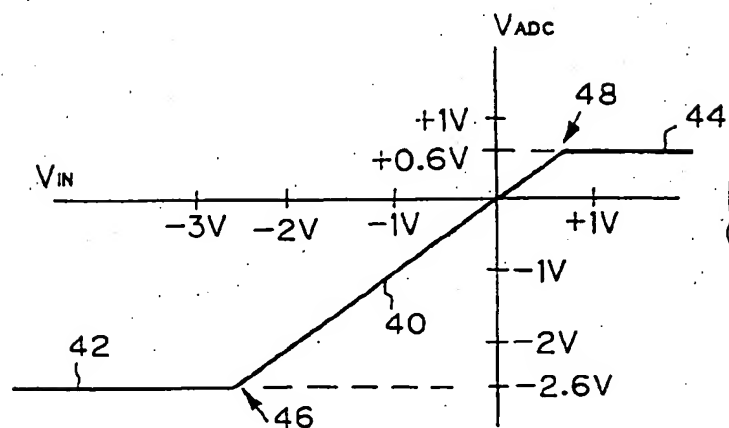
【図2】



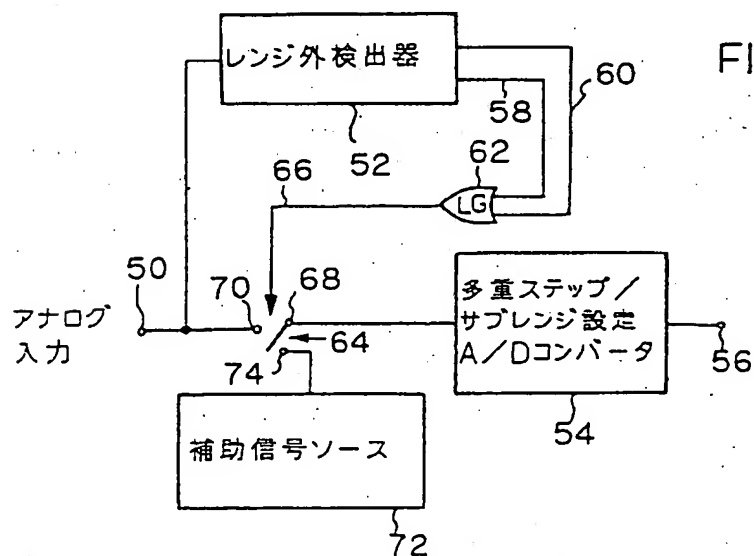
【図3】



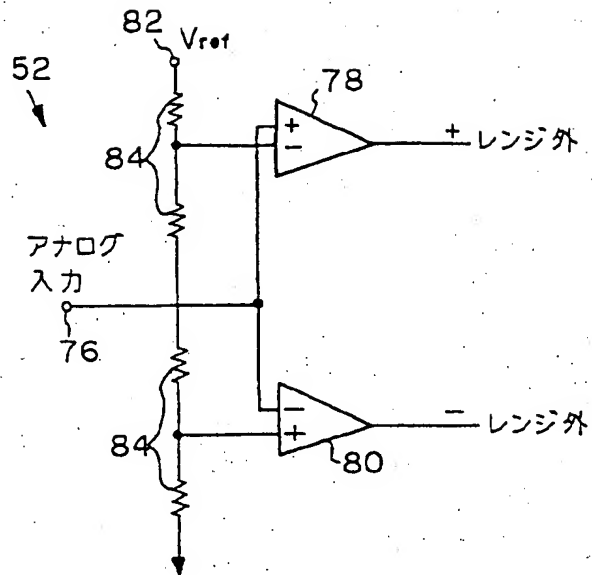
【図3】



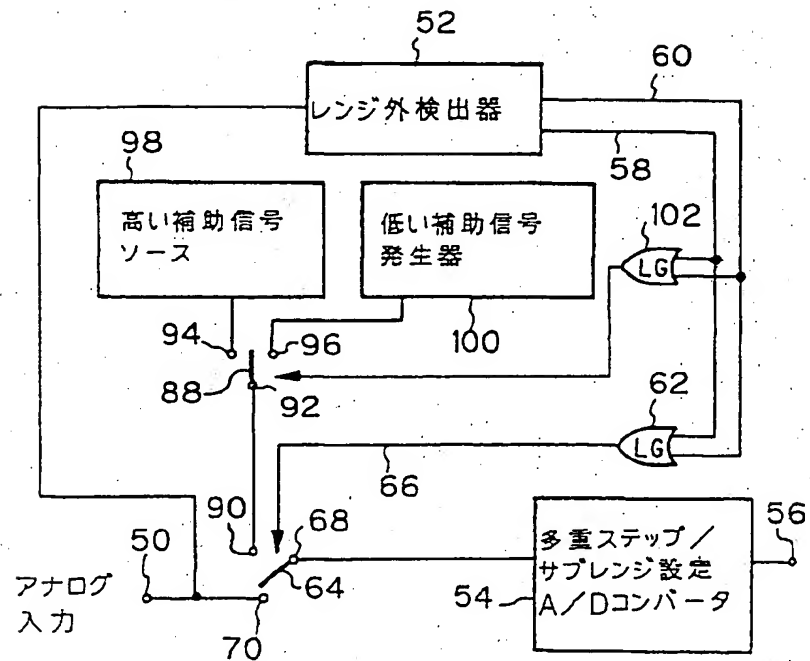
【図4a】



【図4】

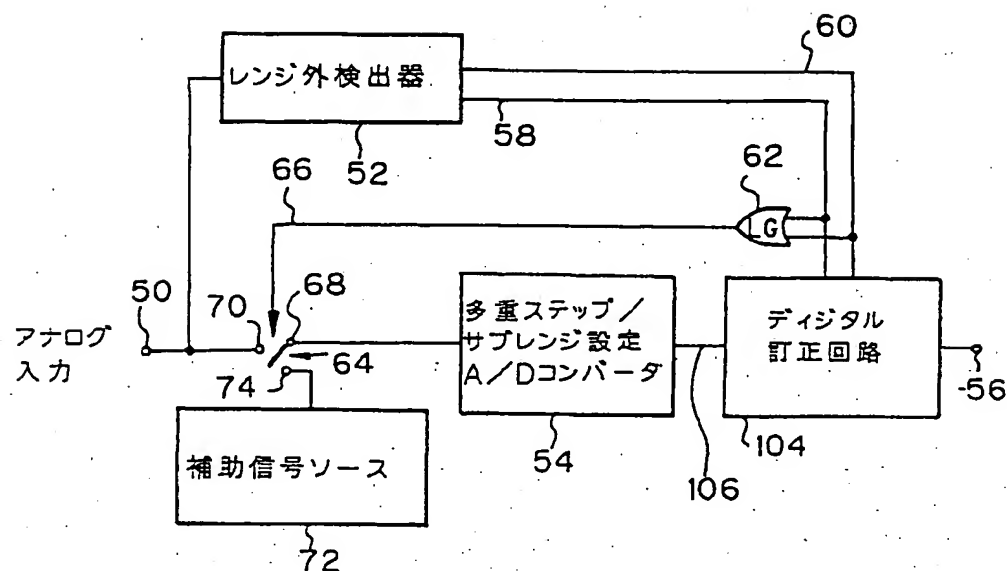


【図 5】



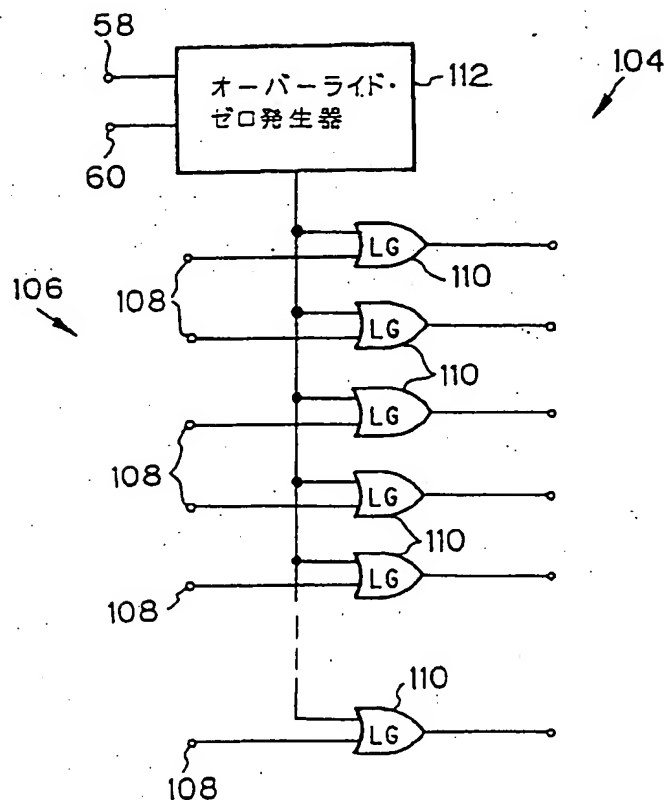
【図 6】

FIG. 6a



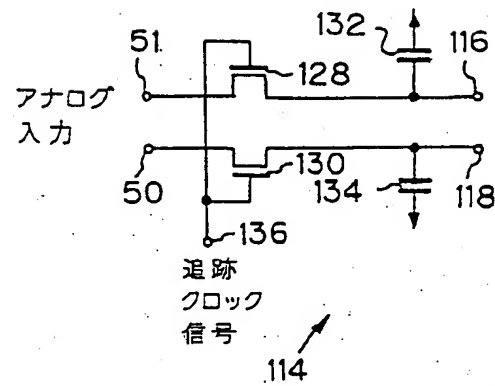
【図 6】

FIG. 6b



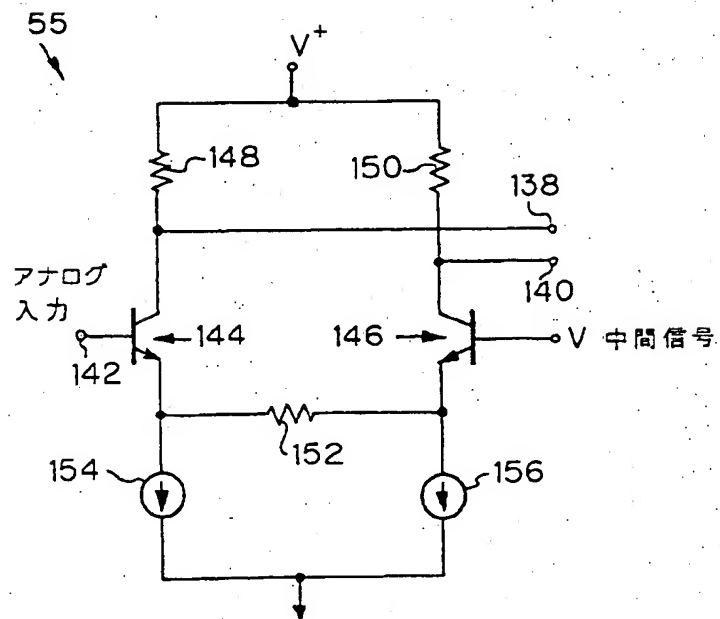
【図7】

FIG. 7b

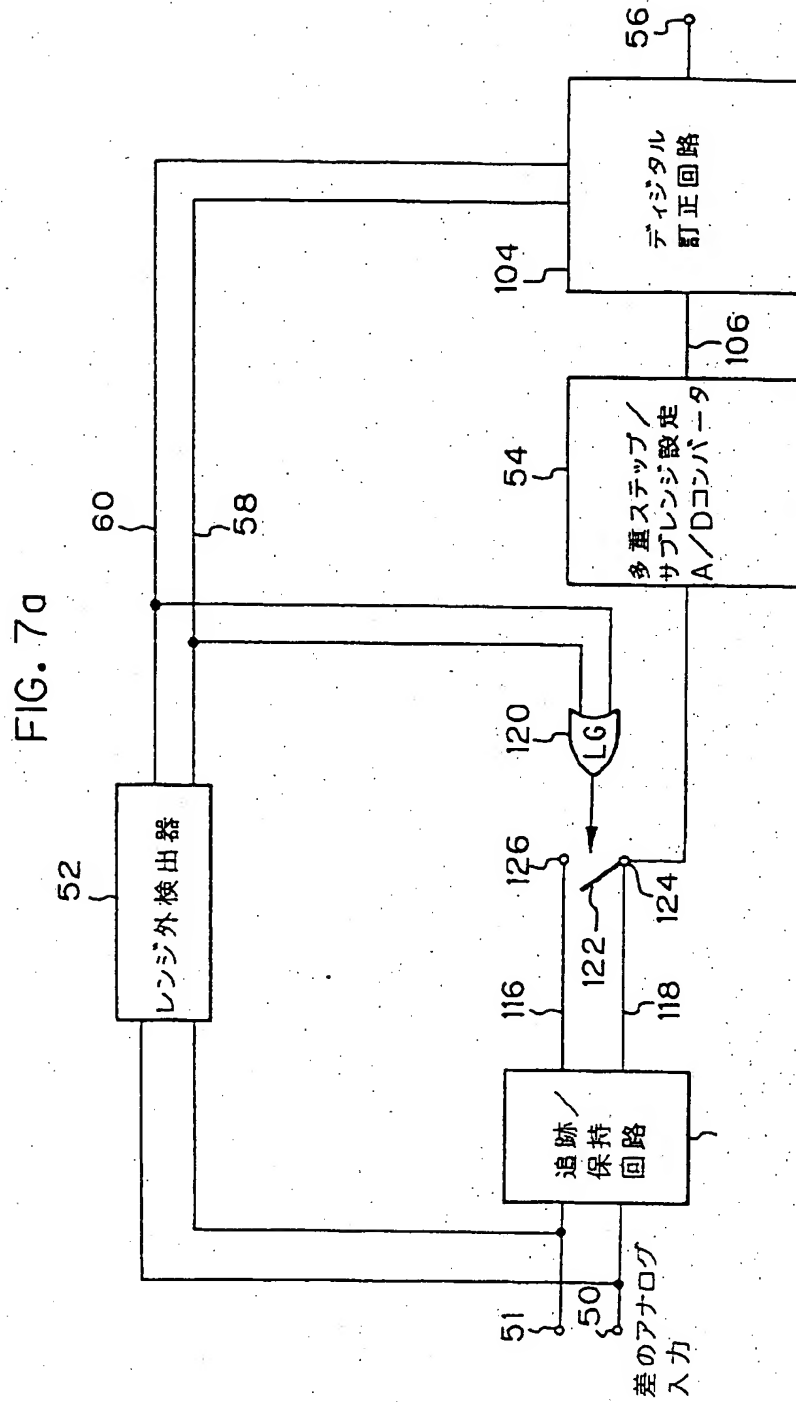


【図8】

FIG. 8b

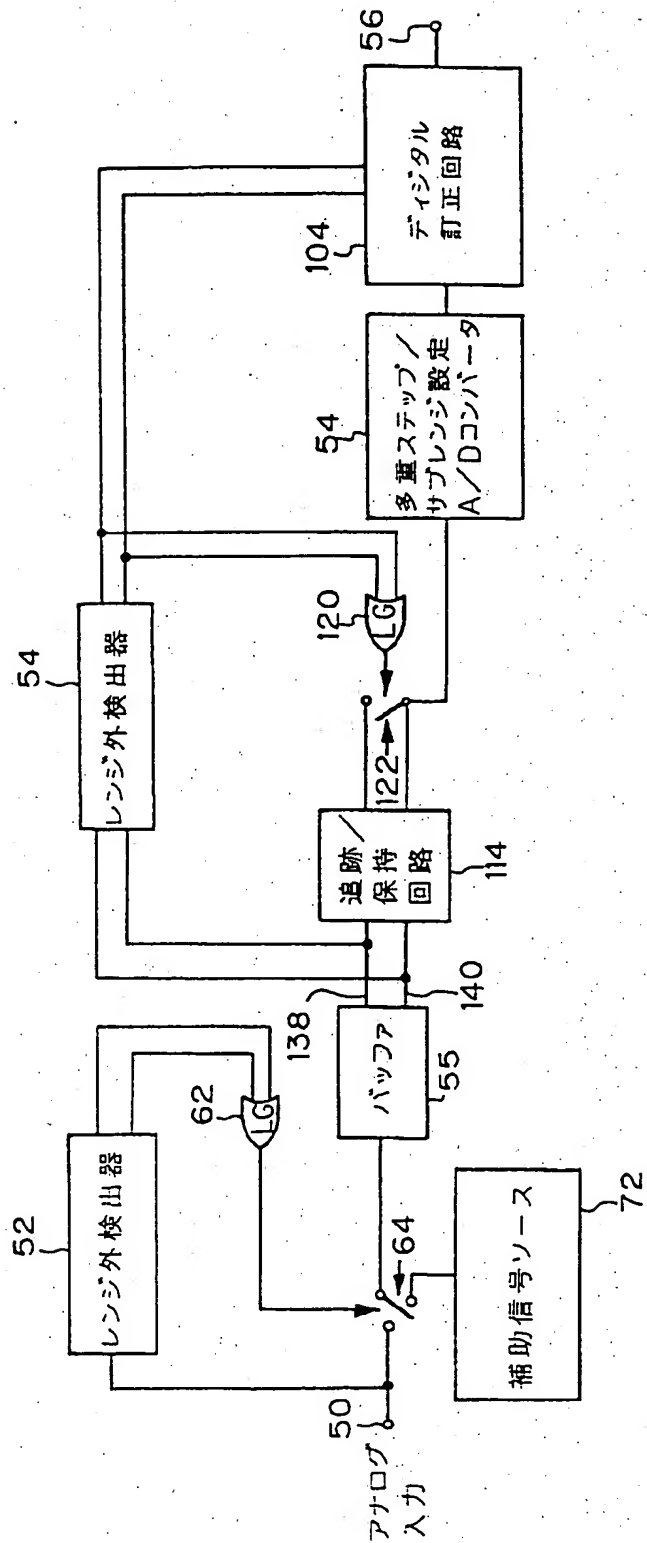


【図7】



【図 8】

FIG. 8a



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/14158

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : H03K 5/153 US CL : 327/58,74; 361/88,90 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 327/50,58,74,525,545,546,427; 361/86,87,88,90,91,93; 363/16,17,93,96 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS FOR U.S. PATENTS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US,A, 5,325,258 (CHOI ET AL) 28 JUNE 1994. (SEE FIG. 1)	1-6, and 8,
Y	US,A, 3,800,198 (GRAF ET AL) 26 MARCH 1974. SEE FIG. 2.	1-6, and 8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" documents which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 06 FEBRUARY 1996		Date of mailing of the international search report 23 FEB 1996
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer KENNETH B. WELLS Telephone No. (703) 308-4809

フロントページの続き

(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), OA (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, ES, FI, G B, HU, JP, KP, KR, KZ, LK, LU, LV, MG, MN, MW, NO, NZ, PL, PT, RO, RU, SD, SE, SK, UA, UZ, VN

(72) 発明者 クロック, デービッド・ティー
アメリカ合衆国ノース・カロライナ州
27358, サマーフィールド, サマーズバ
イ・ドライブ 7515

(72) 発明者 カットマン, ケビン・エム
アメリカ合衆国ノース・カロライナ州
27403, グリーンスボロ, ケンジントン
ロード 117

(72) 発明者 レーン, チャールズ・ディー
アメリカ合衆国ノース・カロライナ州
27410, グリーンスボロ, ジェスアップ
グローブ・ロード 4700